

일본공개특허공보 평07-086270호(1995.03.31) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86270

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 21/314		A 7362-4M		
C 2 3 C 16/50				
H 0 1 L 27/04				
21/522				
	9832-4M	H 0 1 L 27/ 04	C	
		審査請求 本請求 請求項の款2	O L (全 8 頁)	

(71) 出願番号 特願平5-229277

(72) 出願日 平成5年(1993)9月14日

(71) 出願人 000003076

株式会社東芝

神奈川県川崎市幸区堀川町7番地

(72) 発明者 今井 聡太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 佐藤 正弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 岡野 隆雄

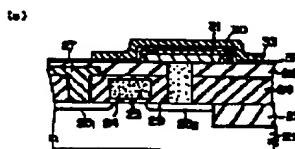
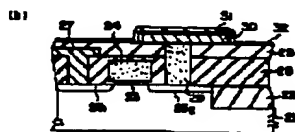
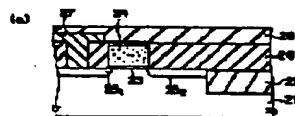
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁護士 鈴江 武彦

(54) [発明の名称] 金属酸化膜の形成方法

【目的】 誘電率の低下を防止し得る金属酸化膜の形成方法を提供すること。

【発明】 原料として有機金属を用いた CVD 法によりキヤパシタ絶縁膜 32 としての $SrTiO_3$ 膜を形成する際に、反応室内に上記有機金属と同時に酸素ガスおよび水素気のパラジウムを導入する。



Best Available Copy

【발명실시예의 개요】

【請求項 1】 금속산화물을 CVD 法により形成する金属酸化膜の形成方法において、

前記金属酸化膜の成膜に供するガスとして、炭素およびハロゲンの少なくとも一つを含む金属化合物ガスと、酸素および水を含有する物質のプラズ마ガスを供給することを含む金属酸化膜の形成方法。

【請求項 2】 前記炭素および水を含有する物質は、アルコール類、または水酸基と酸基とを含む物質であることを特徴とする請求項 1 に記載の金属酸化膜の形成方法。

【発明の詳細な説明】

【産業上の利用分野】 本発明は、金属酸化膜の形成方法に係わり、特に半導体装置に用いられる絶縁膜としての金属酸化膜の形成方法に関する。

【0002】

【従来の技術】 半導体装置の一つで、キャパシタとトランジスタとを組み合わせて情報の記憶動作を行なう半導体記憶装置として、DRAM (Dynamic Random Access read write Memory) がある。

【0003】 この種の半導体記憶装置では、従来より、キャパシタ電極と半導体基板との間に形成されるキャパシタ絶縁膜としてシリコン酸化膜、あるいはシリコン酸化膜とシリコン窒化膜との複合膜が用いられてきたが、急速な素子の集積化に伴い、トレンチキャパシタやスタックキャパシタのようにキャパシタの立体化が進んでいる。

【0004】 より高容量のキャパシタ実現のために、シリコン酸化膜やシリコン窒化膜よりも誘電率の大きい材料が検討されている。今後のより一層の集積化に伴うキャパシタの高容量化に対応するには、できるだけ誘電率の大きい材料を用いる必要がある。

【0005】 このような要請から、誘電率がシリコン酸化膜に比べて、50~100倍以上も大きいチタン酸ストロンチウムやPZTをはじめとするペロブスカイト型結晶構造の高誘電率の金属酸化膜をキャパシタ絶縁膜に用いることが検討され始められている。図 1 にペロブスカイト型結晶構造を示しておく。図中、B1、B2、B3 はそれぞれ異なる原子を示しており、代表的には、B1 は Sb, B2 は Pb, B3 は Ti である。

【0006】 ペロブスカイト型結晶構造の金属酸化膜は、大きな原子分極を生じ、これによって高い誘電率を現示することが知られている。これは、結晶格子の中心原子が大きく変位することが可能であることによって、したがって、高い誘電率を現示させるためには、ペロブスカイト型結晶構造を乱れなく形成することが不可欠である。

【0007】 一方、このような高誘電率の金属酸化膜を DRAM のキャパシタ絶縁膜に適用するには、トレン

チキャパシタ等の立体形状に対しても適用性のよい成膜方法が必要となる。このような要求に対しては LPCVD 法が適している。

【0008】 一般に、これら高誘電率の金属酸化膜の原料には、低圧の比較的高い有機金属化合物を用いる必要がある。特に、ストロンチウムやバリウムのような II 族元素については、原料となる有機金属化合物は限られているため、大きな有機物を配位して立体障害により低圧を高めており、代表的には β -ジケトンに配位した $\text{Sr}(\text{dpm})_2$ 、 $\text{Ba}(\text{dpm})_2$ が用いられ、その他、ハロゲン(無素)を含む有機物を配位してより低圧を高めた $\text{Sr}(\text{hfe})_2$ 、 $\text{Ba}(\text{hfe})_2$ が用いられている。ここで、dpm は, di-pivaloy-methanate の場合、hfe は, hexa-fluoro-acetyl-acetonate の場合である。

【0009】 しかしながら、これら有機金属を原料に用いた CVD 法により、ペロブスカイト型結晶構造の高誘電率の金属酸化膜を形成すると、有機物の分解生成物や、ハロゲンが金属酸化膜中に不純物として混入する。更に、これ以外の原料としての有機金属には、通常、アルコキシド基が存在し、1 金属原子あたりに多数の C が含まれているので、C の混入も多数生じる。

【0010】 このような不純物の混入は、ペロブスカイト型結晶構造の形成を阻害するように働くため、誘電率や信頼性が低下し、本来の高誘電率の電荷の蓄積保持特性が著しく低下させる原因となる。

【0011】 このため、キャパシタ絶縁膜として、ペロブスカイト型結晶構造の高誘電率の金属酸化膜を用いた従来の DRAM にあっては、リーク電流が増加し、キャパシタの電荷保持能力が低下し、信頼性が損なわれるという問題があった。

【0012】

【発明が解決しようとする課題】 上述の如く、DRAM のキャパシタ絶縁膜などのように高誘電率が要求される絶縁膜として、ペロブスカイト型結晶構造の酸化膜、過剰金属酸化膜等の誘電率が高い金属酸化膜を用いるには以下のような問題があった。

【0013】 すなわち、良好な信頼性を確保するために CVD 法により成膜する場合、成膜に供するガスの分解によって生じる不純物が金属酸化膜中に混入し、誘電率が低下するという問題があった。

【0014】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、誘電率の低下を防止し得る金属酸化膜の形成方法を提供することにある。

【0015】

【課題を解決するための手段】 上記の目的を達成するために、本発明(請求項 1)は、金属酸化膜を CVD 法により形成する金属酸化膜の形成方法において、前記金属酸化膜の成膜に供するガスとして、炭素およびハロゲン

의少なくとも1つを含む金属化合物ガスと、酸素および水素を含む物質のプラズマガスをを用いることを特徴とする。

【0016】上記酸素および水素を含む物質は、アルコール類、または水素気と酸素とを含む物質であることが好ましい。

【0017】

【作用】本発明(請求項1)によれば、酸素およびハロゲンの少なくとも1つを含む金属化合物に対応して、適切な酸素および水素を含む物質のプラズマガスをを用いることにより、成膜時に不純物が金属化合物中に混入するのを防ぎ、膜電圧の低下を防止できる。

【0018】例えば、ハロゲンを含む金属化合物ガスをを用いた場合には、酸素および水素を含む物質としてアルコール類や酸素ガスおよび水素ガスをを用いれば、OHフリーラジカルとハロゲンとの反応によって、ハロゲンを効果的に除去でき、膜電圧の低下を防止できる。

【0019】また、酸素を含む金属化合物(有機金属等)ガスをを用いた場合には、酸素および水素を含む物質として上記物質を用いれば、酸素、水素、水酸基等のラジカルと有機金属の分解生成物との反応によって、分解生成物を効果的に除去でき、膜電圧の低下を防止できる。

【0020】

【実施例】以下、図面を参照しながら実施例を説明する。

【0021】図1は、本発明の第1の実施例に係る金属化合物(チタン酸ストロンチウム膜)の成膜方法において使用する成膜装置の概略構成を示す模式図である。

【0022】図中、1は成膜室を示しており、この成膜室1は真空ポンプ2により排気されるようになっている。成膜室1の内部にはヒーター3上に加熱基板4が置かれ加熱されるようになっている。

【0023】成膜室1へは、外部から反応ガスを供給する供給ラインが複数接続されている。すなわち、ストロンチウムの原料であるSr(dpm)2を封入した原料タンク7に接続した第1のキャリアAライン14と、チタンの原料であるTi(iOC3H7)4を封入した原料タンク8に接続した第2のキャリアAライン15と、O2ライン13およびH2ライン16とが用いられている。

【0024】H2はヒーター(不図示)を備えたタンク9に封入されている。原料タンク6、7は、恒温槽5内に保持され一定の温度に保たれている。H2ライン16から供給されるH2は、バルブ17を介して、O2ライン13から供給されるO2と混合し、これらは成膜室1にガスが導入される封筒でマイクロ波放電装置18でプラズマ化されて成膜室1内に導入されるようになっている。

【0025】なお、各ライン13、14、15、16に

は、それぞれ、ガスの流量を制御するためのマスフローコントローラ10、11、12、9が設けられている。

【0026】次に上記の如きに構成された成膜装置によるチタン酸ストロンチウム膜の形成方法について説明する。

【0027】まず、加熱基板4の温度をヒーター3により600℃～800℃に、原料タンク7、8の温度を恒温槽によりそれぞれ220℃、25℃に保持した状態で、原料ガス(Sr(dpm)2 100SCCM、Ti(iOC3H7)4 40SCCM)をキャリアガス(Ar)とともに成膜室1内に導入する。このとき、H2Oが封入されているタンク9は約40℃程度に保たれる。また、成膜室1内の圧力は1Torrとする。

【0028】そして、マイクロ波放電装置18には30～500Wのパワーを投入し、H2O/O2混合ガス(H2 0100SCCM、O2 50SCCM)を放電させ、プラズマ状態のH2O/O2混合ガスを成膜室1内に導入し、加熱基板1上にチタン酸ストロンチウム膜の成膜を行なう。

【0029】本実施例の方法によれば、不純物の混入が少ない良好な高膜電圧のチタン酸ストロンチウム膜が得られた。これは本実施例のように、有機金属の原料を成膜室1内に供給する際に、水素気および酸素を成膜室1の封筒に設けられたマイクロ波放電装置18で一旦プラズマ状態に置くことにより酸素、水酸基、水素等のラジカルを発生させることにより、これらが分解生成物と瞬時に反応し、分解物を効果的に除去できるからである。このような効果は、有機金属原料中に酸素を含むSr(hfe)2、Ba(hfe)2等を用いる場合にも、上記ラジカルと酸素とが効果的に反応するための有効である。

【0030】更に、本実施例によれば、水素気を提供していることで酸化反応を促進し、成膜速度が向上する効果も期待される。

【0031】なお、本実施例では、ストロンチウム、チタンの原料として、それぞれ、Sr(dpm)2、Ti(iOC3H7)4を用いたが、他の原料カスを用いても良い。例えば、ストロンチウム原料として、酸素を含む上記したSr(hfe)2等を用いることも可能であり、この場合にも不純物混入の無いチタン酸ストロンチウム膜の形成が可能である。

【0032】なお、本実施例では、プラズマの発生にマイクロ波放電を用いた場合について説明したがRF放電またはその他の方法で形成しても同様の効果が得られる。

【0033】図2は、本発明の第2の実施例に係るDRAMの製造方法を示す工程断面図である。ここでは、第1の実施例を用いて形成されるチタン酸ストロンチウム膜をDRAMのキャパシタ層に適用した例を取り上

げる.

【0034】まず, 図2(a)に示すように, 比抵抗が $100 \cdot \text{cm}$, 主面が(100)面のP型シリコン基板 21上に熱酸化膜を形成し, これをパターンニングすることにより, 素子分離を行なうための素子分離用絶縁膜 22およびゲート絶縁膜 23を形成する. 次いでP型シリコン基板 1上にゲート電極 24となる第1のn+型ポリシリコン膜を形成し, これを通常のフォトリソング法によってパターンニングすることにより, ゲート絶縁膜 23上にゲート電極 24を形成する.

【0035】次にゲート電極 24をマスクとしてP型シリコン基板 21にドナーイオンを注入することにより, n+型のソース・ドレイン拡散層 251, 252を自己整合的に形成する. 次いで基板全面に厚いCVD酸化膜 26を形成した後, この厚いCVD酸化膜 26を通常のフォトリソング法に従ってパターンニングすることにより, ソース・ドレイン拡散層 251に到達する開口部を形成する. 次いでCVD酸化膜 26および上記開口部の表面にタンクステンシリサイドを堆積した後, 通常のフォトリソング法に従ってパターンニングすることにより, ピット縁 27を形成する. この後, 第2のCVD酸化膜 28を堆積する.

【0036】次に図2(b)に示すように, ソース・ドレイン拡散層 252に到達する開口部を形成した後, 第2のn+型ポリシリコン膜 29を全面に堆積し, エッチバックを行なうことにより, ソース・ドレイン拡散層 252に露出する第2のn+型ポリシリコン膜 29を開口部内にのみ露出させる.

【0037】次に全面にTiN膜 30を形成し, これを通常のフォトリソング法に従って所定の形状にパターンニングした後, 例えば, メッキ法によりTiN膜 30上のみに選択的に下層電極(ストレージ電極)としてのP膜 31を形成する. P膜 31はスパッタ法により形成したものでもエッチングによりパターンニングして形成しても良い. 次いでP膜 31およびCVD酸化膜 28の全面に亘って, 第1の実施例で示した方法を用いて, キャパシタ絶縁膜としてのS-Ti-O膜 32を形成する.

【0038】最後に, 図2(c)に示すように, S-Ti-O膜 32上にスパッタ法により上層電極(プレート電極) 33となる窒化チタン膜を形成した後, 通常のフォトリソング法に従って窒化チタン膜をパターンニングし, 上層電極 33を形成して, メモリセルの基本構造が完成する. この後, 通常のLSIの製造プロセスに従って, パッシベーション膜の形成工程, 配線の形成工程等を経てDRAMの作成が終了する.

【0039】本実施例の方法で形成したチタン酸ストロンチウム膜を用いたキャパシタのC-V曲線とI-V曲線を従来の方法と比較したものを図3に示す.

【0040】図3(a)から本実施例の方法によれば,

リーク電流を低減できることが分る. さらにまた, 図3(b)から本実施例の方法によれば, キャパシタ容量(誘電率)を増加できることが分る.

【0041】なお, 本実施例では, キャパシタ絶縁膜の材料としてS-Ti-O3を用いたが, その代わりに, 例えば, P-Zr等の他の高誘電体を用いることができ, また, 電極材料としてもP1, 窒化チタンに限定されない. また, キャパシタ構造に関しては, スタックドキャパシタ構造に限定されず, トレンチキャパシタ構造にも本発明は適用できる.

【0042】図4は, 本発明の第3の実施例に係るDRAMの製造方法を示す工程断面図である.

【0043】まず, 図4(a)に示すように, 比抵抗 $100 \cdot \text{cm}$, (100)面の単結晶シリコン基板 31にシリコン熱酸化膜 33を形成した後, 多結晶シリコン膜 34, シリコン酸化膜(不図示)をCVD法により堆積させる. 次に通常のフォトリソング法によって上記シリコン酸化膜をパターンニングし, このシリコン酸化膜をマスクとして多結晶シリコン膜 34, シリコン熱酸化膜 33, 単結晶シリコン基板 31を順次異方性エッチングし, 素子分離領域となる溝を形成する. 次いでマスクに用いたシリコン酸化膜を除去した後, 上記溝中に素子分離用絶縁膜としてのシリコン酸化膜 32をLPCVD法により堆積させる.

【0044】次に図4(b)に示すように, 多結晶シリコン膜 34を化学的ドライエッチング法により剥離し, 続いて, 角部等によりシリコン熱酸化膜 33を剥離する. このとき, シリコン酸化膜 32も同時にエッチングされ, その表面は基板 31の表面と略一致するようになる. 次いでゲート絶縁膜となる薄いシリコン熱酸化膜 35を形成した後, 単結晶シリコン基板 31の全面にLPCVD法によりゲート電極 37となるn+多結晶シリコンを形成し, これを通常のフォトリソング法によってパターンニングすることにより, ゲート電極 37を形成する. この後, 次にゲート電極 37をマスクとして単結晶シリコン基板 31にドナーイオンを注入し, n+型のソース・ドレイン拡散層 361, 362を自己整合的に形成する.

【0045】次に図4(c)に示すように, 基板全面に厚いCVD酸化膜 38を形成し, これを通常のフォトリソング法に従ってパターンニングすることにより, ソース・ドレイン拡散層 361に到達するコンタクトホールを形成する. 次いでCVD酸化膜 38, コンタクトホールの表面にタンクステンシリサイド膜を堆積し, 通常のフォトリソング法に従ってパターンニングすることによりピット縁 39を形成する. 次いで基板全面にCVD酸化膜 40を堆積した後, シリコン酸化膜 38, 40を通常のフォトリソング法によりパターンニングし, ソース・ドレイン拡散層 362に到達するコンタクトホールを形成する.

【0046】次に図4 (d) に示すように、 n^+ 型多結晶シリコン膜41をLPCVD法により形成した後、エッチバック法により n^+ 型多結晶シリコン41をソース・ドレイン領域562上のコンタクトホール内にのみ残せしめる。次いで多結晶シリコン基板31の全面にスパッタ法により下層電極となる酸化チタン膜42を形成し、通常のフォトリソ法により、パターンニングして下層電極42を形成する。

【0047】次に多結晶シリコン基板31の全面にニオブ添加チタン酸ストロンチウム膜43をCVD法により形成する。ここで、ニオブ添加チタン酸ストロンチウム膜43の成膜にあたっては、ストロンチウム、チタン、ニオブの原料として、 $Sr(hf_e)_2$ 100SCCM、 $M.Ti(i-oC_3H_7)_4$ 40SCCM、 $Nb(O_2H_5)_5$ (全流量の1~2%程度)を用い、これらをA₂ガスでバブリングして供給する。成膜温度は150℃、成膜室内の圧力は1Torrとした。

【0048】このとき、メタノール(CH_3OH)を2.45GHz、50Wのマイクロ波共振器にプラズマ化して、OHフリーラジカルを生成し、これを上記原料ガスとともに供給する。

【0049】次に反応性イオンエッチング法によりニオブ添加チタン酸ストロンチウム膜43を加工して下層電極42上にのみ残存させた後、全面にキャパシタ絶縁膜としてのチタン酸ストロンチウム膜44をCVD法により形成する。ここで、チタン酸ストロンチウム膜44の成膜にあたっては、ストロンチウム、チタンの原料として、それぞれ、 $Sr(hf_e)_2$ 100SCCM、 $Ti(i-oC_3H_7)_4$ 40SCCMを用い、これらをA₂ガスでバブリングして供給する。成膜温度は150℃、成膜室内の圧力は1Torrとした。

【0050】このとき、流量30SCCMのメタノール(CH_3OH)を2.45GHz、50Wのマイクロ波共振器によりプラズマ化して、OHフリーラジカルを生成し、これを上記原料ガスとともに供給する。

【0051】最後に、図4 (d) に示すように、上層電極(プレート電極)45となるニッケル膜をスパッタ法によりキャパシタ絶縁膜44上に形成した後、これをパターンニングすることで上層電極45を形成して、メモリの基本構造が完成する。その後、通常のLSIの製造プロセスに従って、パッシベーション膜の形成工程、配線の形成工程を経てDRAMの作成が終了する。

【0052】本実施例の方法によれば、不純物の混入が少ない良好な高誘電率のキャパシタ絶縁膜が得られた。これは本実施例のように、成膜時にアルコール類など水素を含むガスをプラズマ状態にして生成した活性種であるOHフリーラジカルを原料ガスとともに供給した場合、Fなどのハロゲンや炭素イオンが金属と結合することが抑制されるからである。

【0053】その例として、エタノール(C_2H_5O

H)を反応材料でプラズマ化することによってOHフリーラジカルを生成供給して、 $Sr(hf_e)_2$ をガスソースとして用いてチタン酸ストロンチウムを成膜した場合の成膜条件と膜中のFの導入量(Sr に対する比率で示してある)の関係を図6に示した。図6の横軸にはアルコールをプラズマ状態におくための入力したマイクロ波のパワーをとっている。

【0054】この図6においては、10W乃至100W程度のパワー条件でアルコールをプラズマ状態を通して供給することでFが除去されることが分かる。これに対して、通常法である酸を酸化剤として用いた試料ではFの除去効果は見られず、本発明の有効性が分かる。

【0055】アルコールはプラズマ化しなくてもOHフリーラジカルを生成する能力はあるが、反応性を高めるため、また高品質なキャパシタ絶縁膜(金属酸化膜)を得るには、アルコールを一旦プラズマ状態を通して解離させる方が効果的である。マイクロ波のパワーを大きくすることにより、金属酸化膜中からFが完全に除去されることが分かる。

【0056】なお、マイクロ波のパワーを大きくしていくことにより、高Fが膜中に残留する傾向が見られるが、これはアルコールの解離によって生成されたOHフリーラジカルが更に分解され、O原子、H原子に解離してしまい膜中からのFの除去能力が低下することによる。つまり、OHフリーラジカルを供給することが必要であることが分かる。

【0057】以上述べたように、本実施例によれば、ベロブスカイト型結晶構造を乱すことなくキャパシタ絶縁膜となる金属酸化膜を成膜できるので、高い電荷保持能力を有するキャパシタが得られ、これにより信頼性の高いDRAMが得られる。

【0058】図5は、本発明の第4の実施例に係るDRAMの製造方法を示す工程断面図である。

【0059】第3の実施例と同様に、まず、図5 (a) に示すように、多結晶シリコン基板51上に電子分離用絶縁膜52、ゲート酸化膜55、ゲート電極57、ソース・ドレイン領域561、562、第1の層間絶縁膜としてのシリコン酸化膜58、ソース・ドレイン領域561に連通するコンタクトホール、ビット線59を形成する。次いでCVD法により第2の層間絶縁膜である厚いシリコン酸化膜60を形成した後、ソース・ドレイン領域562に連通する第2のコンタクトホールを形成する。

【0060】次に図5 (b) に示すように、 n^+ 型多結晶シリコン膜61をLPCVD法により形成した後、エッチバック法により n^+ 型多結晶シリコン膜61をソース・ドレイン領域562上のコンタクトホール内部にのみ残せしめる。次いでCVD法により、下層電極としてのタングステン膜62を n^+ 型多結晶シリコン膜61上に選択成長させ一部シリコン酸化膜60上にはみ出

させることにより下部電極を形成する。この後、基板全面にスパッタ法により白金膜 63 を形成した後、反応性イオンエッチング法によりタンクステン膜 62 上にのみ残存させる。

【0061】次に全面にキャパシタ絶縁膜としてのチタン酸バリウム膜 64 を CVD 法により形成する。ここで、チタン酸バリウム膜 64 の成膜にあたっては、バリウム、チタンの原料として、それぞれ、 $Ba(HfO_2)_2$ 100SCCM、 $Ti(HfO_2)_4$ (1-OC3H7) 4 (TIP) 40SCCM を用い、これらを A ガスでバブリングして供給する。成膜温度は 220℃、成膜室内の圧力は 1 Torr である。

【0062】このとき、エタノール (C_2H_5OH) 30SCCM および酸素 50SCCM の混合ガスを 2.45GHz、200W のマイクロ波放電によってプラズマ化し、OH フリーラジカルおよび酸素原子を生成し上記原料ガスとともに供給する。

【0063】このように OH フリーラジカルを供給することでチタン酸バリウム膜 64 中の F、C を除去し、また、酸素原子を供給することで成膜されるチタン酸バリウム膜 64 中の酸素空孔等の欠陥が修復され、高誘電率を示す膜が得られる。

【0064】最後に、図 5 (e) に示すように、上部電極 65 となるニオブ膜をスパッタ法により基板全面に形成した後、このニオブ膜を通常のフォトリソエッチング技術によりパターンニングすることで上部電極 65 を形成して、メモリの基本構造が完成する。この後、通常の LSI の製造プロセスに従って、バスバンプレーション等の形成工程、配線の形成工程等を経て DRAM の作成が終了する。

【0065】なお、本発明は上述した実施例に限定されるものではない。例えば、実施例では、チタン酸ストロンチウム膜やチタン酸バリウム膜の成膜の場合について説明したが、本発明は、他の高誘電率の金属酸化物、例えば、チタン酸カルシウムおよびこれら三つの混合体からなる金属酸化物の成膜にも適用できる。すなわち、本発明は、Sr、Ba、Ca、Y、Cu、Ti、Bi の少なくとも一つを含む物質からなる高誘電率膜の成膜に適用できる。また、PZT、PLZT、タンタル酸化物からなる高誘電率の金属酸化物の成膜にも適用できる。更に、本発明は、絶縁媒体膜としてのペロブスカイト型結晶構造の金属酸化物にも適用できる。

【0066】また、上記実施例では、エタノールやメタノールを使用した他のアルコール類を用いても良い。また、OH を含む物質であれば、アルコール類でなくとも良い。

【0067】更に、上記実施例では半導体装置として DRAM を例にあげて説明したが、本発明は高誘電率の絶縁膜を必要とする他の半導体装置にも適用できる。

【0068】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0069】

【発明の効果】以上詳述したように本発明によれば、炭素およびハロゲンの少なくとも一つを含む金属化合物ガスに対応して、適切な酸素および水素を含む物質のプラズマガスを供給することにより、金属酸化物中に不純物が混入することを抑制し、誘電率の低下を防止できる。

【図面の簡単な説明】の発明例に係る金属酸化物の成膜方法において使用する成膜装置の概略構造を示す模式図

【図 2】本発明の第 2 の実施例に係る DRAM の製造方法を示す工程断面図

【図 3】本発明の効果を示す特性図

【図 4】本発明の第 3 の実施例に係る DRAM の製造方法を示す工程断面図

【図 5】本発明の第 4 の実施例に係る DRAM の製造方法を示す工程断面図

【図 6】本発明の効果を示す特性図

【図 7】ペロブスカイト型結晶構造を示す図

【符号の説明】

1…成膜室、2…真空ポンプ、3…ヒーター、4…接地電極板、5…恒温槽、6、7…原料タンク、8…タンク、9、10、11、12…マスフローコントローラ、13…O₂ライン、14、15…キャリア A ガスライン、16…H₂O ライン、17…バルブ、18…マイクロ波放電装置

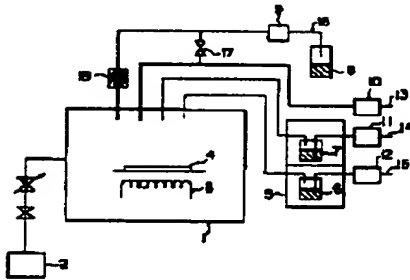
21…P 型シリコン基板、22…素子分離用絶縁膜、23…ゲート酸化膜、24…ゲート電極、251、252…ソース・ドレイン絶縁層、26…CVD 酸化膜、27…ビット線、28…CVD 酸化膜、29…n+ 型ポリシリコン膜、30…TiN 膜、(図 2 中における) 31…P 膜 (下部電極)、(図 2 中における) 32…Si/TiO₂ 膜 (キャパシタ絶縁膜)、(図 2 中における) 33…窒化チタン膜 (上部電極)

(図 4 中における) 31…多結晶シリコン基板、(図 4 中における) 32…素子分離用絶縁膜、(図 4 中における) 33…シリコン熱酸化膜、34…多結晶シリコン膜、35…ゲート酸化膜、361、362…ソース・ドレイン絶縁層、37…ゲート電極、38…CVD 酸化膜、39…ビット線、40…CVD 酸化膜、41…n+ 型多結晶シリコン膜、42…窒化チタン膜 (下部電極)、43…ニオブ添加チタン酸ストロンチウム膜、44…チタン酸ストロンチウム膜 (キャパシタ絶縁膜)、45…ニッケル膜 (上部電極)

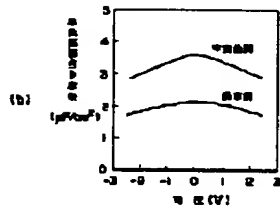
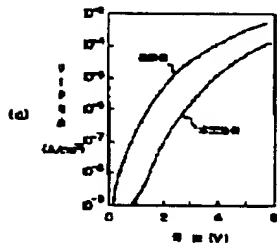
51…多結晶シリコン基板、52…素子分離用絶縁膜、53…、54…、55…ゲート酸化膜、561、562…ソース・ドレイン絶縁層、57…ゲート電極、58…シリコン酸化膜、59…ビット線、60…シリコン酸化膜、61…n+ 型多結晶シリコン膜、62…タンクステン膜 (下部電極)、63…白金膜、64…チタン酸バリ

ウム膜 (キャパシタ絶縁膜)、ニオブ膜 (上部電

【図 1】

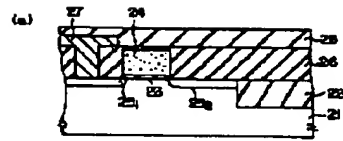


【図 3】

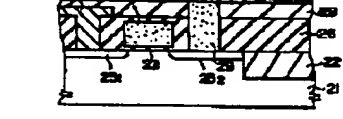


【図 2】

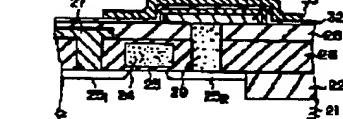
(a)



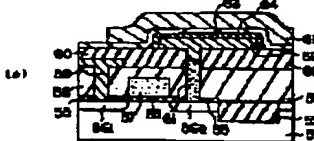
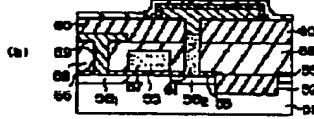
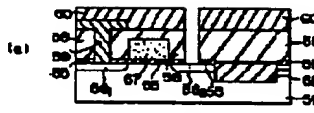
(b)



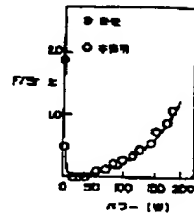
(c)



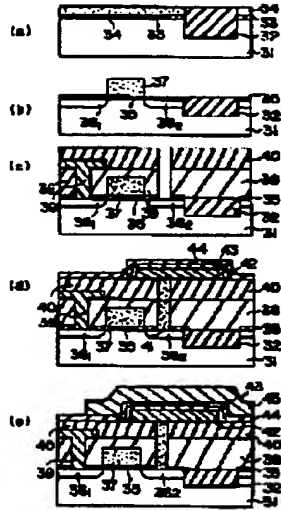
【図 5】



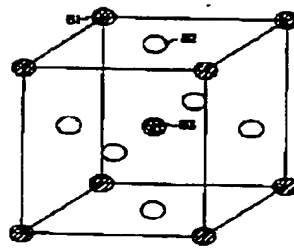
【図 6】



[도 4]



[도 7]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.